

CLIPPEDIMAGE= JP357176738A

PAT-NO: JP357176738A

DOCUMENT-IDENTIFIER: JP 57176738 A

TITLE: CONNECTING STRUCTURE FOR FLIP CHIP

PUBN-DATE: October 30, 1982

INVENTOR-INFORMATION:

NAME

SAKUMA, KUNIO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP56061792

APPL-DATE: April 23, 1981

INT-CL (IPC): H01L021/60

ABSTRACT:

PURPOSE: To prevent the improper connection caused by a thermal deformation by providing a spacer made of a conductor layer and a resin layer on a substrate to suitably restrict the interval between a substrate and an integrated circuit element when the element is electrically connected to the substrate with a solder bump.

CONSTITUTION: An IC chip 1 having a solder bump 5 and a substrate having a conductor pattern 7 are restricted at a suitable interval by a spacer made of a conductor layer 10 and a resin layer 11. The material of the layer 10 is formed on the same material as the pattern 7 such as, copper, the layer 11 is formed of epoxy or polyurethane solder resist in a thickness of approx.

20 $\mu$ m. In this manner, the swelling at the center of the solder bump 5 can be suppressed by the operation of an interval control layer. Accordingly, the deformation produced due to the difference of the thermal expansion coefficient between the IC chip and the substrate can be readily absorbed, thereby reducing the improper connection.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-176738

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/60

識別記号

庁内整理番号  
6819-5F

⑬ 公開 昭和57年(1982)10月30日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ フリップチップ接続構造

⑮ 特 願 昭56-61792

⑯ 出 願 昭56(1981)4月23日

⑰ 発 明 者 佐久間国雄

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑱ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4号

⑲ 代 理 人 弁理士 最上務

明 細 書

発明の名称

フリップチップ接続構造

特許請求の範囲

集積回路素子に設けた半田パンプを用いて集積回路素子と基板を接続するフリップチップ接続方式において、半田リフロー接続時に基板と集積回路素子との間隔を適度に規制し、回路の短絡を防止するために、基板に導体層と樹脂層の二層からなるスペーサーを設けたことを特徴とするフリップチップ接続構造。

発明の詳細な説明

本発明はフリップチップ接続時の集積回路素子（以下I/Oチップという）と基板との間隔規制構造に関する。

フリップチップ接続方式においては、I/Oチップに設けられた半田パンプを基板の対応する電極

に重ね合わせ、半田をリフローさせることにより、I/Oチップと基板を電気的に接続させているが、この際に半田が流出しすぎてI/Oチップと基板の間隔が維持できなくなると、I/Oチップがエッジショートを起こしたりすることになる。

しかがって、この対策として従来は第1図に示すように、ガラスペーストやエポキシ樹脂などの半田にぬれない材料をダム9として基板6の導体パターン7の表面に盛られた予備半田8の一部に形成して、半田パンプ5を有するI/Oチップ1を重ね合わせてリフローする際、半田の流出を防止する構造のダム法が多く用いられている。ここに2は保護膜、3はI/Oの導体、4はバリア金属である。またそれに類似したドット法あるいはオーバーラップ法等も用いられている。しかしこれらはI/Oチップ及び基板間の熱膨張係数の差に起因する熱歪を半田パンプに吸収させているため、接続不良を起こす場合がある。

また他の方法として、基板との接続用とは別個に設けた半田パンプの表面張力を利用して、間隔

規制を行なう方法や、半田パンプに銅等の芯を形成して間隔規制を行なう方法などが用いられている。しかしこれらは、その半田パンプ形成にあたり、かなりの工数がかかるという欠点を有している。

本発明はかかる欠点を除去したもので、その目的は、より容易な工数のかからない方法により、I Oチップと基板の間隔を規制し、かつ熱歪に起因する接脱不良を減少させることである。

以下実施例に基づいて本発明を詳しく説明する。第2図は本発明により接続されたI Oチップと基板の断面図である。これに示すように、半田パンプ5を有するI Oチップ1と、導体パターン7を有する基板6とが、導体層10と樹脂層11からなる二層の、基板上に形成されたスペーサーにより、適度な間隔に規制されている。この導体層10は導体パターン7と同一の材質、たとえば銅等であり、また樹脂層11は、エポキシ系あるいはポリウレタン系のソルダーレジストなどで形成される20 $\mu$ 程度の層である。

本発明において、導体層10はフォトリソグあるいはスクリーン印刷等により、他の導体パターンと同一工程にて形成することが可能であり、また樹脂層11も他の部分のソルダーレジストの印刷工程と同一工程で形成することができるなど、他の方法と比較して低工数で実現できるという利点を有している。また、接続時において、ハンダのもつ表面張力により半田パンプの中央部分がふくらむわけであるが、図1のダム法と比較して図2に示すごとく本発明によれば、間隔規制層の働きによりふくらみをおさえることができるため、I Oチップと基板との熱膨張係数の差により発生する歪はより吸収しやすくなり、したがって接脱不良を減少させることができるなどの効果も有するものである。

#### 図面の簡単な説明

第1図は、従来のダム法により接続したフリップチップの概念図。

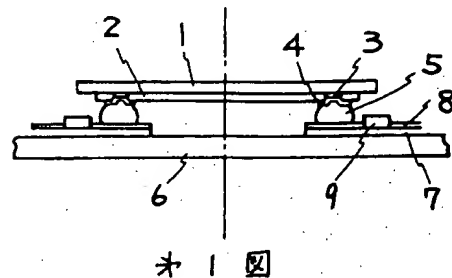
第2図は、本発明により接続したフリップチップ

#### の概念図。

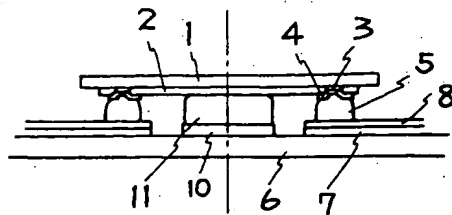
- |             |            |
|-------------|------------|
| 1 …… I Oチップ | 2 …… 保護膜   |
| 3 …… I O導体  | 4 …… バリア金属 |
| 5 …… 半田パンプ  | 6 …… 基板    |
| 7 …… 導体パターン | 8 …… 予備ハンダ |
| 9 …… ダム     | 10 …… 導体層  |
| 11 …… 樹脂層   |            |

以上

出願人 株式会社殿助精工舎  
代理人 弁理士 最上 務



※ 1 図



※ 2 図